

УЧЕБНО ПРОЕКТИРАНЕ НА CMOS И БИПОЛЯРНИ СХЕМИ С ИЗПОЛЗУВАНЕ НА CADSTAR

гл.ас.кмн. Тодор Савов - ТУ София, кам. КТППМЕ

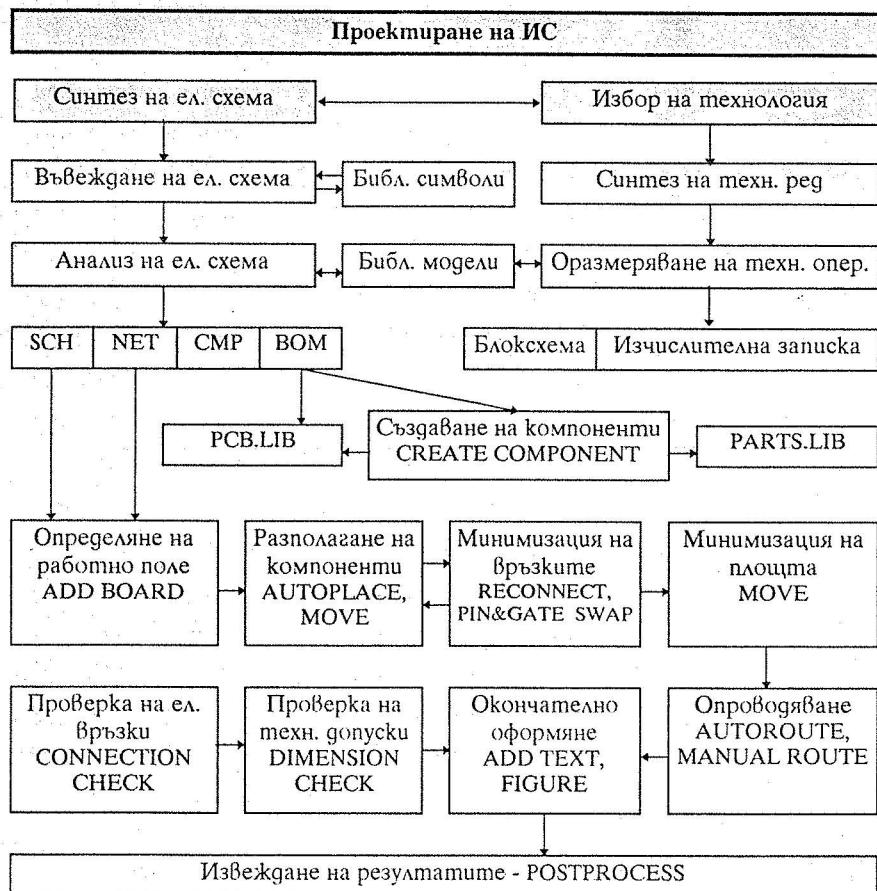
Обучението в областта на микроелектрониката е свързано и с автоматизирано проектиране на елементи, интегрални схеми или части от тях в зависимост от нивото и продължителността на курса. Във ФЕТТ при ТУ София проектиране на ИС се изучава в дисциплините КТМЕМ, ПКМЕ I и II, в трета степен, като упражнения, курсови задачи, проекти и дипломни работи. Проектирането на ИС с помощта на специализирани CAD системи като CADANCE, SYNOPSYS, ICED и др. изискват по-мощна техника и лицензиран софтуер, като в ТУ са достъпни от гве години за ограничен брой студенти. Обучението на 60-100 човека по няколко дисциплини в проектиране на ИС освен редовните часове изисква и компютърно време за самостоятелна работа - зали с 8-10 работни места и достъпен софтуер, включително и в домашни условия. Това наложи разработка на методика за проектиране на специализирани ИС чрез широко разпространен софтуер. За ТУ такъв се явява програмният пакет CADSTAR за проектиране на печатни платки.

Цел на настоящата работа е описание и демонстрация на тази методика, в частност топологичното проектиране на ИС чрез CADSTAR. Като примери се привеждат резултати от проект по ПКМЕ II на студенти IV курс, специалност МЕТМЕП.

Проектът включва синтез или избор на електрическа схема, синтез на технологичен рег и оразмеряване на операциите, анализ на параметрите на схемата, проектиране на отделните компоненти или клемки, общ топологичен чертеж, краен анализ и изводи.

На Фиг.1 е представена блокова схема на методиката. Работата на компютъра включва въвеждане на ел. схема (ORCAD/DRAFT или DESIGN CENTER), анализ на схемата (PSPICE, VST, DC). Паралелно се синтезира технологичен рег и се изготвя изчислителната записка. В резултат се създават и отпечатват ел. схема на проекта (SCH), описание на компоненти-

ме (BOM), списък на компонентите и връзките (CMP, NET), както и блокова схема и изчислителната записка на технологията.

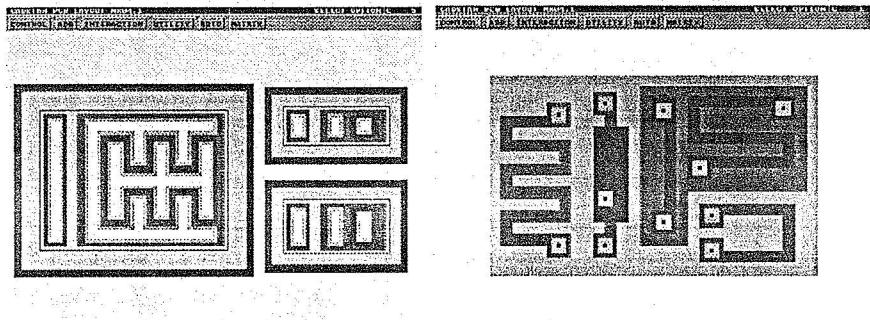


Фиг. 1.

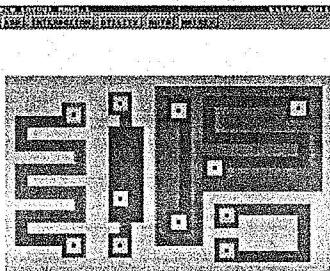
Следва допълване на библиотеката за съответната технология чрез създаване на липсващите компоненти съобразно съответните технологични и конструктивни ограничения, като всяка маска се чертае в съответния слой, определен за операцията.

Примери на създадени компоненти в биполярна технология с диодна изолация за работни напрежения 36 V са представени на Фиг.2 - транзисторни

структури с различна мощност и Фиг.3 - дифузионни резистори с различна стойност и конструкция - реализирани чрез базова дифузия, емитерна дифузия или с комбинация на гвеме - *pinch* резистор.



Фиг.2. NPN транзистори

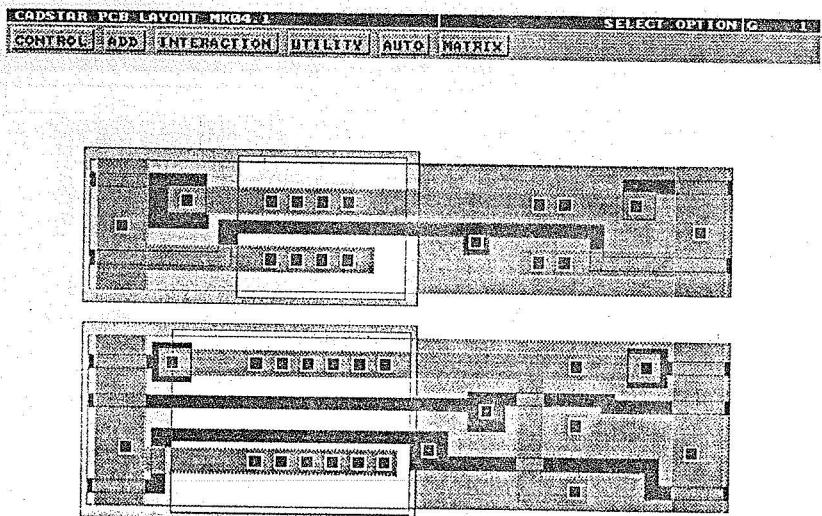


Фиг.3. Дифузионни резистори

За CMOS технолоѓия (N джоб, Poly-Si самосъвместен гейт) са създавани стандартни клемки - инвертор, OR, NOR, AND, NAND с различен брой входове, различни тригери, мултиплексори, входно-изходни клемки и др. Всички клемки са с фиксирана височина, джоб и захранващи шини, като се различават по широчина според сложността им. Реализирани са във проводящи слоя - Poly-Si и метал, като всички входове и изходи са изведени и от гвеме страни на клемката. Предвидени са и вътрешни изводи за свързване, като еквивалентните изводи са описани в PARTS.LIB.

Примерните клемки на инвертор и на гвувходов NAND са показани на Фиг.4. Методиките за оразмеряване на биполярни и CMOS компоненти са представени в литература /2, 3/. Проектирането на общата топология (чипа) започва с определяне на работното поле, обикновено по-голямо от необходимото. Задава се стъпкова матрица за разполагане на компонентите, съобразно изискванията на проектанта. Компонентите се разполагат автоматично с подходяща селекция на няколко паса, като процесът се оптимизира ръчно с MOVE/FIX/UNFIX. Пресвързването на връзките с RECONNECT и PIN & GATE SWAP минимизира дължината им, а чрез подобните функции в ръчен режим се минимизират пресичанията и преходите между

гу проводящите слоеве. Следва минимизиране на общата площ чрез уплътняване на компонентните (MOVE) до технологичните ограничения.



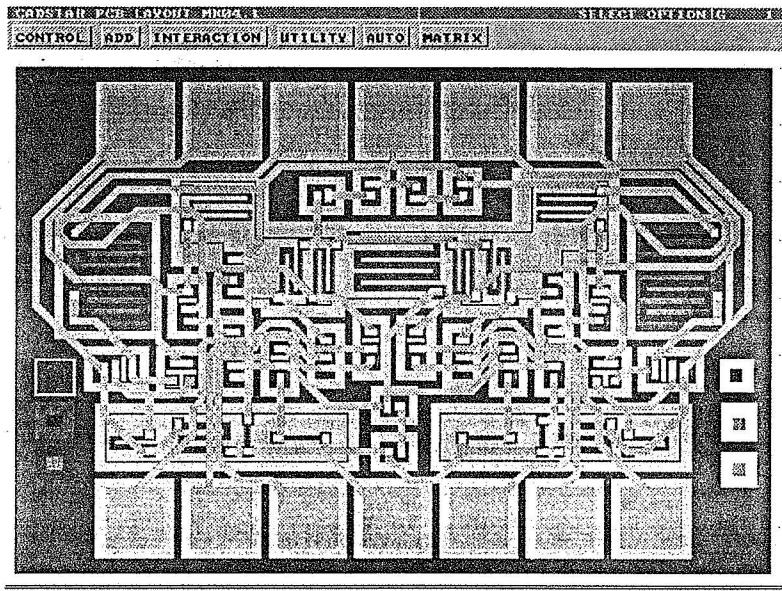
Фиг.4. Стандартни клемки на инвертор и NAND в CMOS технология

Следва автоматично и ръчно опроводяване, добавяне на текст, репери и гр. Спазването на технологичните и конструктивните ограничения за съответната технология се проверяват чрез DIMENTION CHECK, а съответствието с електрическата схема чрез CONNECTION CHECK.

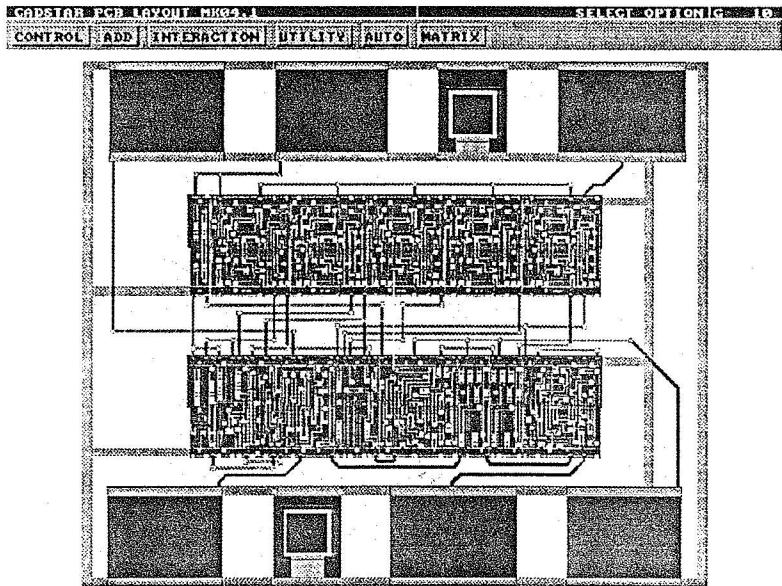
Извеждането на крайният резултат се извършва с POSTPROCESS за съответното устройство - реп плотер, лазерен принтер и гр.

Топология на примерна аналогова схема в биполярна технология с диодна изолация е представена на Фиг.5. Топология на цифрова схема, проектирана със стандартни клемки за CMOS технология е показана на Фиг.6.

Предложената методика дава възможност на студентите да проектират отделни елементи и клемки и да придобият умения в топологичното проектиране на ИС.



Фиг.5. Топология на биполярна аналогова схема



Фиг.6. Топология на CMOS цифрова схема

При това усъвършенствувам работата с ORCAD/DRAFT и CADSTAR - лесно усвояват и проектирането на печатни платки. Демонстрацията на създаваните до момента библиотеки и топологии, анализа на допуснатите грешки и следващото развитие ускорява учебния процес и стимулира студентите към нови творчески изяви.

Работата продължава и с добавяне на нови технологии и конструктивни способы.

Литература:

1. CADSTAR - Users Guide Racal Redac 1988.
2. Конструиране и технология на полупроводникови прибори, Ф.Филипов 1988
3. Introduction to VLSI Technology, T.E.Price, PHI 1994

CADSTAR Based CMOS & BIPOLAR IC Design for the Purpose of Education

Dr.Ing.Todor Savov - TU Sofia

A method for monolite IC design applying CADSTAR Board design software for the purpose of education is presented. Libraries of bipolar components - npn and pnp transistors, diodes, resistors and etc. for analog and digital IC are developed.

A set of standard cells for CMOS IC with possibilities of adding new cells is created.

Using the created component and net files, auto- & manual placement, auto- & manual routing students acquire experience in IC computer topology design applying widely spread CADSTAR software.

Several elements, standard cells and two ICs - bipolar and CMOS IC designed by students are presented.